

Microélectronique

TABLE DES MATIÈRES

1. Introduction	3
1.1 Définition	3
1.2 Bref historique	3
1.3 Les étapes de la conception d'un circuit intégré	3
2. Organisation du cours	4
3. Les transistors MOS	5
3.1 Rappel	5
3.2 Principe de fonctionnement du MOS à enrichissement	7
3.3 Caractéristiques du MOS	8
3.4 Modèles du MOS	9
3.5 Modèle pour les régimes continu et transitoire	10
3.6 Modèle pour accroissement	11
3.7 Modèles SPICE niveaux 1 à 4 (brève description)	12
4. Aperçu de la technologie CMOS	13
4.1 Introduction	13
4.2 Transistor MOS à canal n	14
4.3 Transistor MOS à canal p	15
4.4 Transistors CMOS	16
5. Circuits de base	18
5.1 Inverseur	18
5.2 Porte de transmission	19
5.3 Miroir de courant	20
5.4 Source de courant Wilson	21
5.5 Source de courant cascode	22
5.6 Paire différentielle	22
5.7 OTA (Operationnal Transconductance Amplifier)	23
5.8 Mise en série et en parallèle de MOS	24

5.9 Portes NAND et NOR	25
5.10 Porte OU-EXCLUSIF	26
5.11 Bascule D	26
5.12 Notion de cellule	27

1. INTRODUCTION

1.1 *Définition*

La micro-électronique consiste en la réalisation miniaturisée de fonctions électroniques de plus en plus complexes sur un seul support (du silicium en général).

Au départ, le but de la micro-électronique était la réduction du poids et du volume des appareils, mais ces deux critères sont devenus secondaires face à l'amélioration de la fiabilité et la réduction du prix de revient que permet l'intégration. Pour ces diverses raisons, la micro-électronique connaît une expansion industrielle exceptionnelle puisque l'on peut estimer que, depuis 1963, la production double tous les ans.

1.2 *Bref historique*

- Depuis 1920 environ, les applications industrielles de l'électronique (la T.S.F. à l'époque) nécessitent une diminution du poids et du volume des appareils.
- En 1947 le premier transistor bipolaire est réalisé par un groupe de recherche des Bell Laboratories.
- En 1955 réalisation industrielle du transistor.
- Très vite, divers microassemblages de dispositifs semi-conducteurs sont étudiés pour arriver en 1958 au premier *circuit intégré* qui comportait, dans un même bloc de silicium, un transistor, quatre diodes et quelques résistances.
- Une année plus tard, en 1959, le Dr. Noyce met au point la méthode *planar*. Bien qu'initialement mise au point pour les circuits discrets, cette méthode peut être considérée comme à l'origine du développement industriel des circuits intégrés.

1.3 *Les étapes de la conception d'un circuit intégré*

Afin de bien comprendre le rôle des divers outils informatiques utilisés en microélectronique, il importe de bien saisir les principales étapes qui interviennent dans la réalisation d'un circuit intégré.

Après avoir défini un cahier des charges précis, la première étape consiste à réaliser un schéma électrique qui satisfasse aux exigences. On parle de

conception du circuit et, dans cette phase, l'approche de l'ingénieur diffère quelque peu de celle utilisée en électronique discrète. En effet, on ne peut tester un circuit intégré qu'après l'avoir intégré (!). Il n'est donc pas possible, pour des raisons de coût et de temps, de réaliser divers prototype et de les tester avant d'arriver au produit fini. Pour cette raison, l'ingénieur va remplacer le développement de prototypes par une série de *simulations* sur ordinateur. On voit donc ici tout l'importance d'avoir un simulateur de circuits électriques qui soit précis tant dans le calcul des phénomènes que dans la modélisation des paramètres électriques.

L'étape suivante consiste à *dessiner* le circuit intégré. Cette opération consiste à définir l'emplacement et les dimensions des éléments. Elle se fait en dessinant différents *masques* qui seront utilisé par le fabricant de circuit intégré (*fondeur*). De plus, il importe de vérifier très soigneusement la parfaite adéquation entre le schéma électrique et le dessin des masques. Pour cette étape également, un outil CAO est indispensable.

Après intégration, le circuit doit être testé et, suivant sa complexité, cette opération nécessite également l'usage d'un outil informatique.

2. ORGANISATION DU COURS

L'enseignement de la microélectronique comporte une partie théorique (résumée dans ce chapitre) et une partie pratique dans laquelle chaque étudiant ingénieur réalise une partie d'un circuit intégré « *gate-array* ».

Il est évidemment impossible de parler de microélectronique sans faire référence à l'électronique et, plus particulièrement, au transistor MOS qui sera utilisé lors de ce cours. Dans le paragraphe 3, on rappelle les bases essentielles du fonctionnement des MOS et de la technologie CMOS. De plus, différents modèles du MOS sont présentés. Le paragraphe 4 présente un aperçu de la technologie CMOS. Les circuits de base de la microélectronique sont présentés dans le chapitre 5.

3. LES TRANSISTORS MOS

3.1 Rappel

Le transistor MOSFET ("Metal Oxide Semiconductor Field Effect Transistor") appelé également MOST ou simplement MOS ressemble, par son principe de fonctionnement, au JFET. Dans ce type de transistor, la grille ne forme pas une jonction avec le canal drain-source (comme dans le cas du JFET) mais est isolée de celui-ci par un dépôt d'oxyde de silicium.

Deux structures sont envisageables (Fig. 3.1); l'une se rapproche de celle du JFET (Fig. 3.1a), on parle alors de MOS à appauvrissement ("depletion mode"). L'autre structure diffère quelque peu de celle du JFET (Fig. 3.1b), on parle dans ce cas de MOS à enrichissement ("enhancement mode"). Les deux structures ci-dessus peuvent, bien entendu, être réalisées en canal n ou p ce qui donne quatre types de MOS. (cf. chapitres 2 et 3 du cours d'électronique)

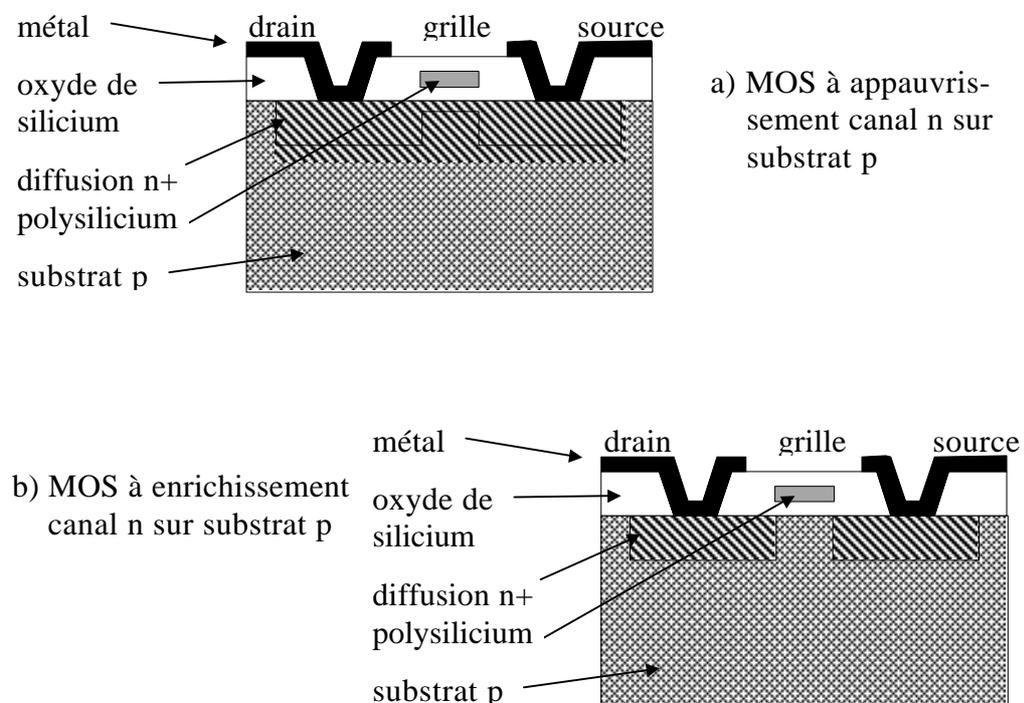


Fig. 3.1

On constate que, pour les deux structures du MOS, le drain et la source forment une jonction avec le substrat (c'est-à-dire le "support" du transistor). Dans un circuit intégré, cette jonction est toujours polarisée en sens inverse mais la différence de potentiel à ses bornes modifie le comportement du MOS.

Les symboles des quatre types de MOS sont les suivants (Fig. 3.2); l'électrode B représente le substrat, G la grille, S la source et D le drain.

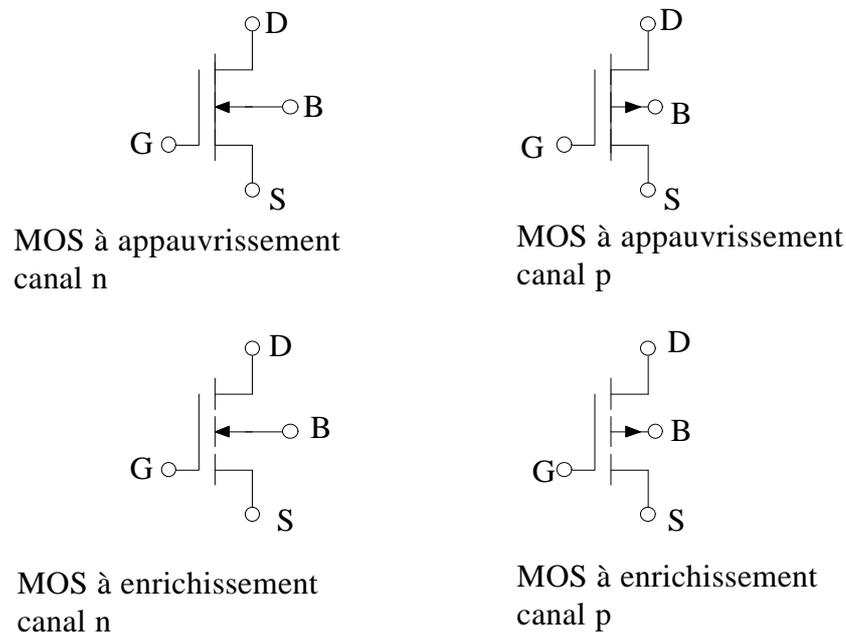


Fig. 3.2

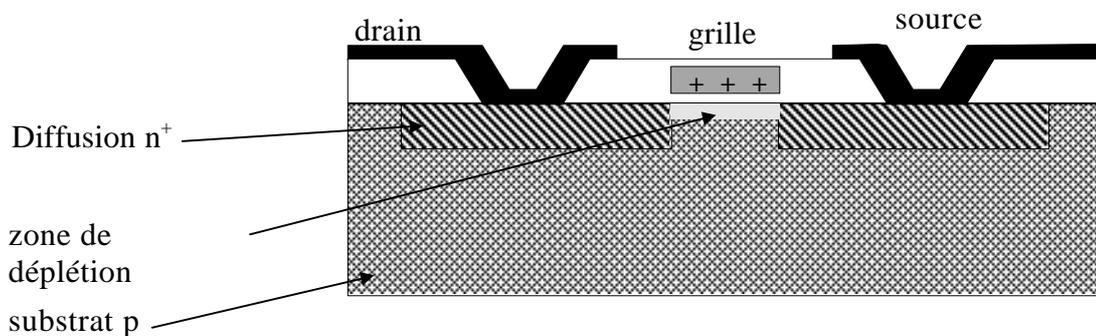
Remarques :

- En microélectronique, seuls les MOS à enrichissement sont utilisés, on se limitera donc à l'étude de ces dispositifs.
- Dans ce qui suit, on considérera uniquement des MOS à canal n. Le fonctionnement des MOS à canal p peut être déduit de celui des MOS à canal n en inversant le sens des tensions et des courants.

3.2 *Principe de fonctionnement du MOS à enrichissement*

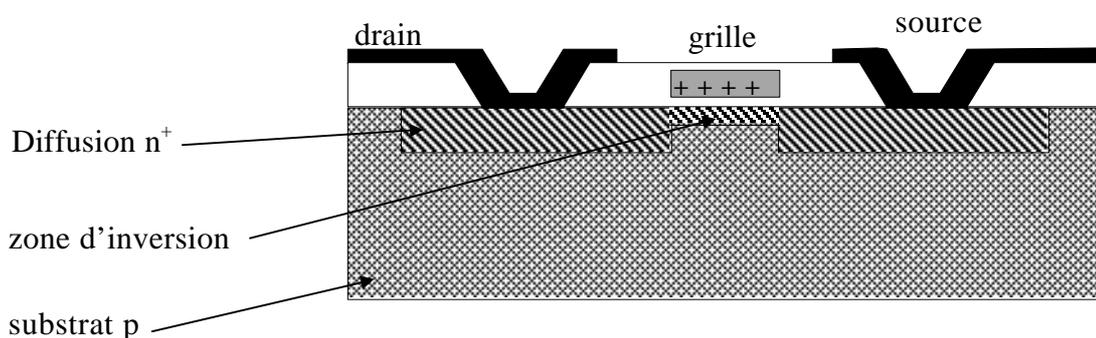
Lorsque la tension grille-source est nulle, aucun courant ne peut traverser le dispositif. (On a deux jonctions pn tête-bêche).

Si on applique une tension U_{GS} positive entre grille et source, les électrons apparaissant dans la zone p se combinent avec les trous et forment une zone sans charges mobiles sous la grille (Fig. 3.3a). Si on augmente la tension U_{GS} , les électrons deviennent majoritaires et créent une zone n sous la grille. On parle alors de *zone d'inversion* (Fig. 3.3b). Dans ce cas, un courant peut s'établir entre drain et source.



nMOS avec une tension de grille inférieure à la tension de seuil

Fig. 3.3a



nMOS avec une tension de grille supérieure à la tension de seuil

Fig. 3.3b

On constate que :

- d'une part un courant ne peut circuler entre drain et source que si U_{GS} dépasse une certaine valeur V_S appelée tension de seuil ("*threshold voltage*").
- d'autre part, lorsqu'un courant circule entre drain et source, une tension apparaît entre drain et source, ce qui a pour effet de diminuer la tension grille-canal. A la limite, cette tension diminue suffisamment pour que le canal soit fermé (équivalent au pincement du JFET) donc le transistor fonctionne en source de courant.

3.3 Caractéristiques du MOS

Le comportement général du MOS se déduit des constatations faites au paragraphe 3.2. La figure 3.4 illustre la caractéristique I_D fonction de U_{DS} sur laquelle on constate que :

- pour U_{DS} nul, le dispositif travaille en résistance variable en fonction de U_{GS} .
- pour U_{DS} supérieure à une certaine valeur, le MOS travaille en source de courant commandée par U_{GS} .
- le fonctionnement en source de courant n'est pas idéal (effet Early), ce qui se traduit par la pente g_{ds} sur la caractéristique I_D fonction de U_{DS} .

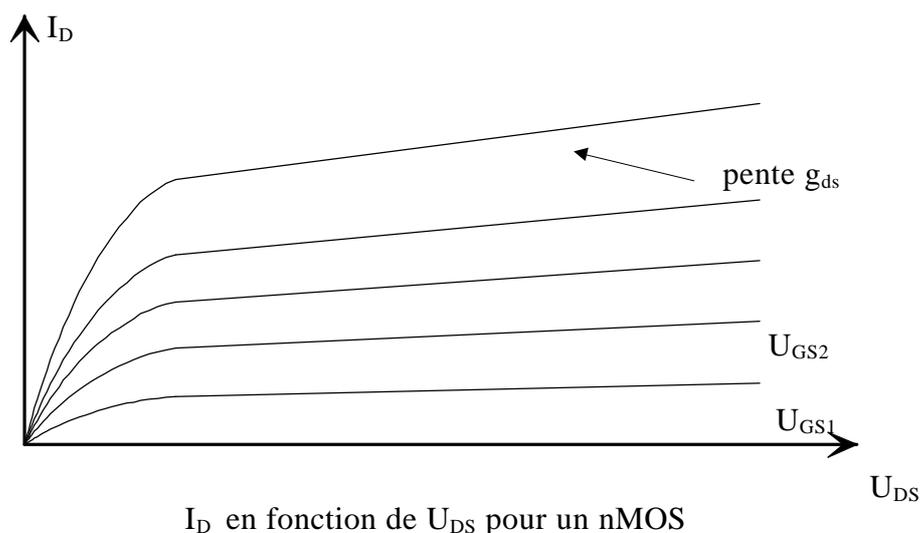
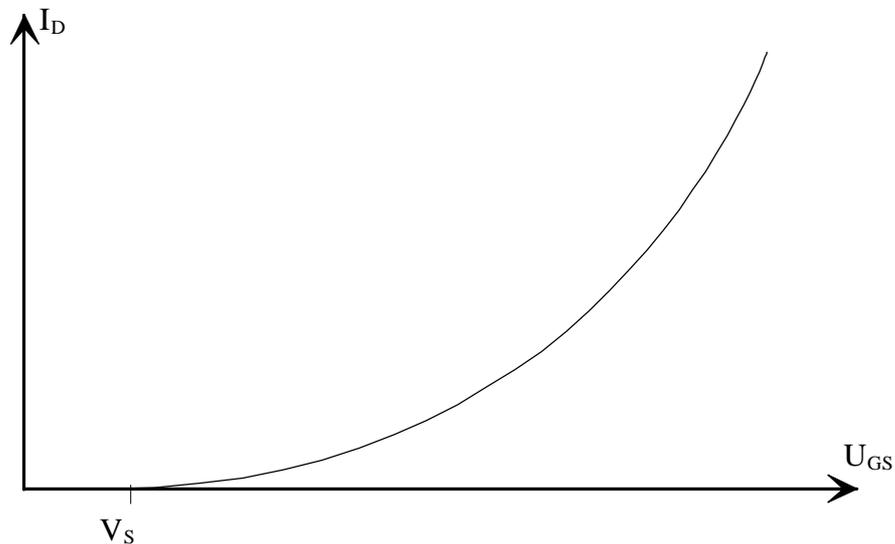


Fig. 3.4

La figure 3.5 illustre la caractéristique I_D fonction de U_{GS} pour U_{DS} nul.



I_D en fonction de U_{GS} pour un nMOS

Fig. 3.5

En résumé, on peut considérer que le MOS fonctionne comme une résistance commandée par la tension de grille lorsque la tension drain-source reste faible face à la tension de seuil. Ce mode de fonctionnement est principalement utilisé pour réaliser des circuits digitaux. Lorsque la tension drain-source est élevée le transistor se comporte comme une source de courant commandée par la tension de grille. On utilise ce mode de fonctionnement dans des applications analogiques.

3.4 Modèles du MOS

Pour concevoir ses circuits et les simuler, l'ingénieur a besoin de *modèles* qui lui permettent de décrire, de façon mathématique, le fonctionnement des MOS. Différents modèles, ont été développés pour le MOS. Certains, relativement simples, permettent d'évaluer avec un calcul manuel des performances d'un circuit. D'autres, plus complexes, permettent de simuler de façon précise le fonctionnement d'un circuit; leur complexité implique obligatoirement l'usage d'un simulateur (SPICE par exemple).

3.5 *Modèle pour les régimes continu et transitoire*

Le modèle présenté ci-dessous est une version simplifiée du modèle SPICE niveau 2. Ce modèle permet de calculer, de façon manuel, le comportement des circuits et est, de par sa relative simplicité, bien adapté à la conception d'un circuit. De plus, ce modèle permet de comprendre le fonctionnement de modèles plus élaborés.

Dans ce modèle, on utilise les paramètres suivants:

C_{ox}	: capacité de l'oxyde mince (grille)	F/m ²
μ	: mobilité des porteurs	m ² /Vs
I_{D0}	: coefficient de courant en faible inversion	A
η	: coefficient en faible inversion	1
V_{T0}	: Tension de seuil	V
U_T	: constante : kT/q	V
W	: largeur du canal	m
L	: longueur du canal	m
β	: "gain" du transistor	A/V ²
I_D	: courant de drain	A
V_{GS}	: tension grille-source	V
V_{DS}	: tension drain-source	V
V_G	: potentiel de grille (par rapport au substrat)	V
V_D	: potentiel de drain (par rapport au substrat)	V
V_S	: potentiel de source (par rapport au substrat)	V

on a les relations suivantes:

$$\beta = \frac{W \cdot C_{ox}}{L}$$

$$V_T = V_{T0} + (\eta - 1) V_S$$

On définit trois zones de fonctionnement:

a) *Faible inversion*

valable pour $V_G - V_T < \eta U_T$ ou $I_D < \beta U_T^2$

$$I_D = \frac{W}{L} I_{D0} \cdot \left[\exp\left(-\frac{V_S}{U_T}\right) - \exp\left(-\frac{V_D}{U_T}\right) \right] \cdot \exp\left(\frac{V_S}{hU_T}\right)$$

b) *Forte inversion linéaire*

valable pour $V_{GS} - V_T > \eta V_{DS}$ ou $I_D > \frac{\eta}{2} \beta \cdot V_{DS}^2$

$$I_D = \mathbf{b} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{h}{2} V_{DS}^2 \right]$$

c) *Forte inversion saturation*

valable pour $V_{GS} - V_T < \eta V_{DS}$ ou $I_D < \frac{\eta}{2} \beta \cdot V_{DS}^2$

$$I_D = \frac{\beta}{2\eta} (V_{GS} - V_T)^2$$

3.6 *Modèle pour accroissement*

Il s'agit d'un modèle utilisé pour calculer les variations *sinusoïdales* autour d'un point de repos.

I_D	: courant de repos	A
V_E	: tension d'Early	V
g_{ds}	: conductance différentielle drain-source	Ω
g_m	: conductance de transfert	S

autres paramètres: cf. paragraphe 3.4.1

a) *le point de repos est en faible inversion*

$$g_m = \frac{I_D}{\eta U_T}$$

$$g_{ds} = \frac{I_{D0}}{U_T} \frac{W}{L} \exp\left(-\frac{\eta V_D - V_G}{\eta U_T}\right)$$

b) le point de repos est en forte inversion linéaire

$$g_m = \beta \cdot V_{DS}$$

$$g_{ds} = \beta \cdot (V_{GS} - V_T - \eta V_{DS})$$

c) Le point de repos est en forte inversion saturation

$$g_m = \frac{\beta}{\eta} (V_{GS} - V_T) = \sqrt{\frac{2\beta \cdot I_D}{\eta}}$$

$$g_{ds} = \frac{I_D}{V_E}$$

Le schéma de remplacement du MOS est illustré à la figure 3.6

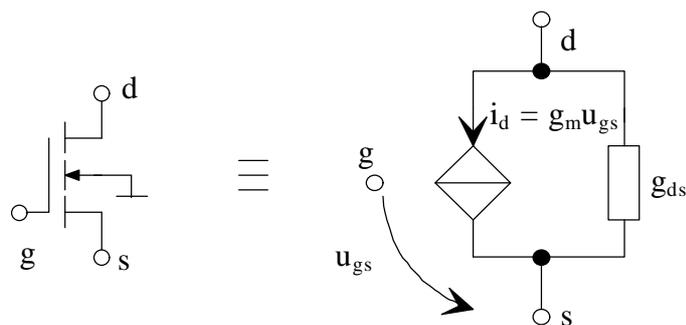


Fig. 3.6

Remarque : Ce modèle s'utilise principalement lorsque le MOS travaille en forte inversion saturation.

3.7 Modèles SPICE niveaux 1 à 4 (brève description)

Par rapport aux modèles SPICE (niveaux 1 à 4) et ceux utilisés sur les autres simulateurs, le modèle présenté ci-dessus ne tient pas compte de l'effet de la température, ni des capacités parasites présentés par le MOS.

Le modèle SPICE *niveau 1* ne tient pas compte de la faible inversion, contrairement au modèle décrit ci-dessus et aux modèles SPICE de niveaux 2 et supérieurs.

Le modèle SPICE *niveau 2* est un modèle analytique basé sur les caractéristiques géométrique du MOS. Il est proche du modèle décrit ci-

dessus, avec l'analyse en température et les effets des capacités parasites en plus.

Le modèle SPICE *niveau 3* est un modèle semi-empirique du MOS à canal court.

Le modèle SPICE *niveau 4* est employé lorsque la caractérisation des paramètres de la technologie utilisée est disponible.

Remarques :

Les quelques équations présentées ci-dessus montrent à quel point il est nécessaire de bien connaître les éléments que l'on désire modéliser. A ce propos il faut prendre garde au fait que les caractéristiques des éléments intégrés ne sont répétitives qu'avec une précision de quelques dizaines de pour-cent. Pour tenir compte de ces variations, la plupart des simulateurs proposent une analyse statistique (Monte-Carlo par exemple) dans laquelle les paramètres vont varier de façon aléatoire autour des valeurs typiques.

Un autre remarque s'impose quant à la méthode de travail: un simulateur, aussi performant soit-il, ne remplacera jamais une conception réfléchie et bien maîtrisée. Sur l'ordinateur également, la méthode empirique est très souvent une mauvaise approche qu'il faut éviter. Le simulateur ne devrait être utilisé que pour *vérifier* le bon fonctionnement du circuit et non pas pour le dimensionner.

4. APERÇU DE LA TECHNOLOGIE CMOS

4.1 Introduction

La réalisation d'un circuit intégré à partir d'un schéma électrique consiste, pour le concepteur, à définir les dimensions physiques ainsi que l'emplacement des divers éléments. Dans une seconde étape, ces éléments sont réalisés par le fondeur, sur la plaquette de silicium. Les divers procédés physico-chimiques mis en oeuvre pour cette réalisation font appel à une technique de masques photo-lithographiques, chaque masque correspondant à une « couche » du circuit intégré. Le plan de ces masques est réalisé par le concepteur du circuit qui doit tenir compte de certaines règles imposés par le fondeur.

Le dessin des masques (layouts) revient à dessiner un ensemble de figures géométriques qui définissent les éléments électriques ainsi que leur position. Pour mener à bien cette tâche le concepteur utilise un éditeur de polygones appelé éditeur de layouts. Cet outil permet en outre d'obtenir un ensemble de plans de masques, sous la forme d'un fichier informatique directement utilisable par le fondeur.

4.2 Transistor MOS à canal n

La structure schématique et le symbole électrique du transistor MOS à canal n, appelé également NMOS, sont illustrés à la figure 4.1.

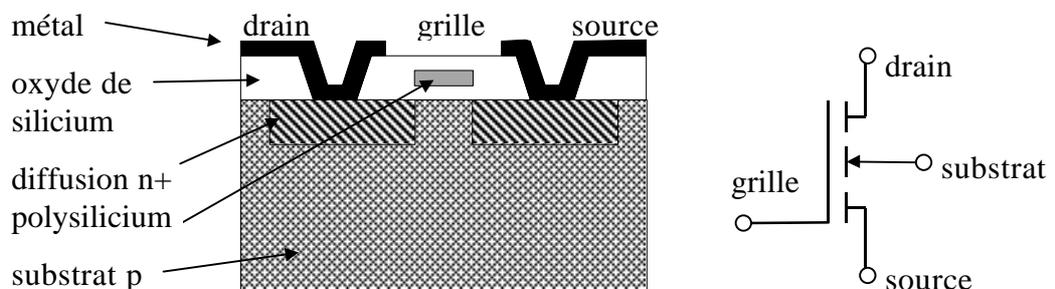


Fig. 4.1

L'intégration de cet élément se fait, schématiquement, de la façon suivante:

- dépôt de l'oxyde de grille et croissance du polysilicium
- diffusion des régions n+
- oxydation et ouverture des contacts
- métallisation

Pour chacune de ces diverses opérations, le concepteur du circuit intégré peut définir leur emplacement à la surface du silicium en respectant les règles de dessin (règles de layout) exigées par le fondeur. La figure 4.2 illustre ce que pourrait être le layout du NMOS de la figure 4.1.

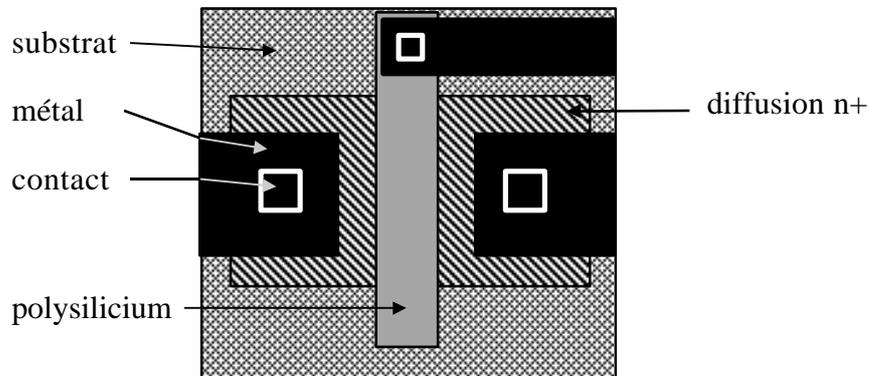


Fig. 4.2

Dans l'exemple de la figure ci-dessus, le concepteur doit réaliser les quatre masques suivants:

- masque de diffusion n+
- masque polysilicium
- masque métal
- masque contact

4.3 *Transistor MOS à canal p*

La structure schématique et le symbole électrique du transistor MOS à canal p, appelé également PMOS, sont illustrés à la figure 4.3.

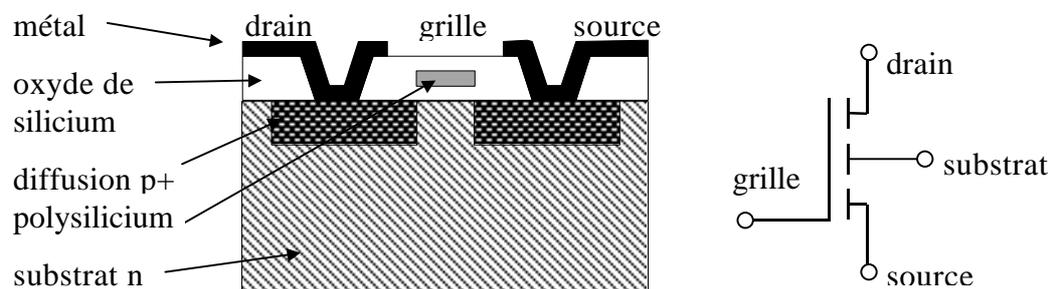


Fig. 4.3

L'intégration de cet élément se fait de façon semblable à celle décrite au paragraphe 4.2 et la figure 4.4 illustre ce que pourrait être le layout.

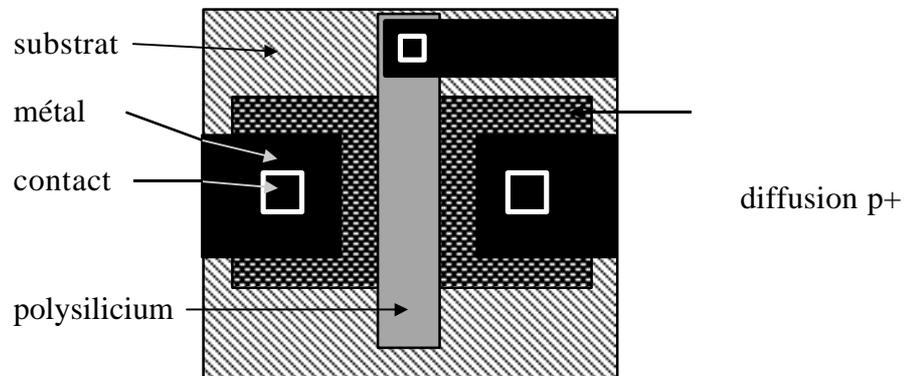


Fig. 4.4

4.4 Transistors CMOS

Lorsque l'on intègre un NMOS et un PMOS sur le même support de silicium, il est nécessaire de réaliser des régions d'une polarité différente de celle du substrat afin d'isoler le MOS concerné. Ces régions sont appelées caissons. La figure 4.5 illustre ceci dans le cas d'un substrat p.

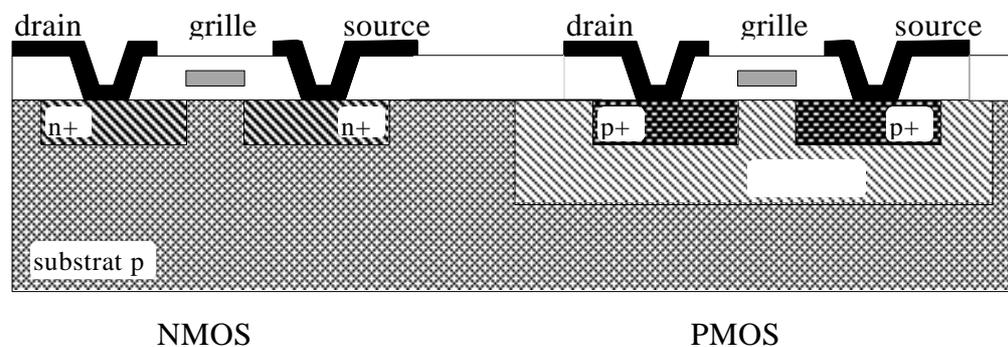


Fig. 4.5

Afin d'assurer le blocage des différentes jonctions qui réalisent l'assemblage illustré ci-dessus, il est nécessaire de connecter le substrat au potentiel le plus bas. De même, le caisson doit être porté au potentiel le plus haut. On parle alors d'ancrage du substrat et du caisson. La figure 4.6 illustre ceci pour deux MOS connectés en inverseur.

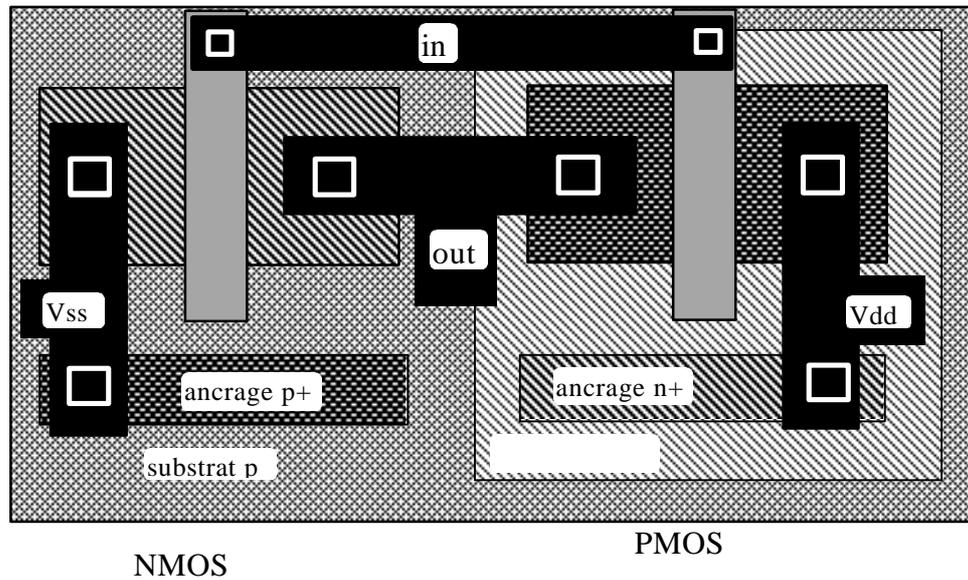


Fig. 4.6

En micro-électronique on utilise souvent d'autres symboles que les symboles CEI présentés aux figures 4.1 et 4.3. On trouvera à la figure 4.7 les symboles utilisés sur les principaux simulateurs.

Symboles des MOS utilisés en micro-électronique

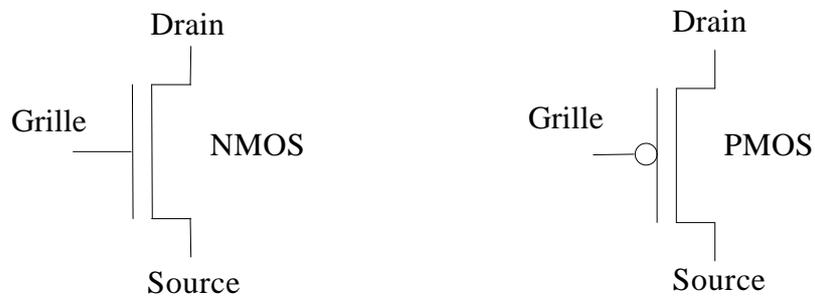
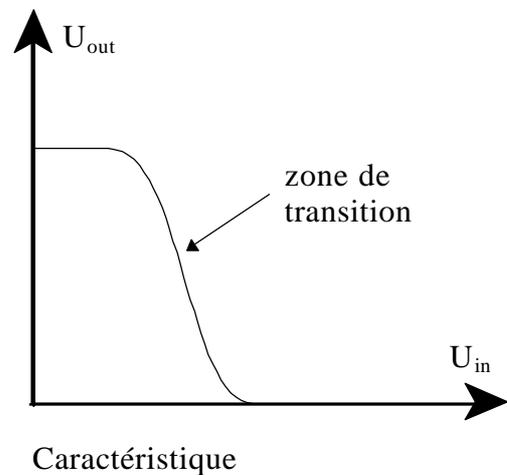
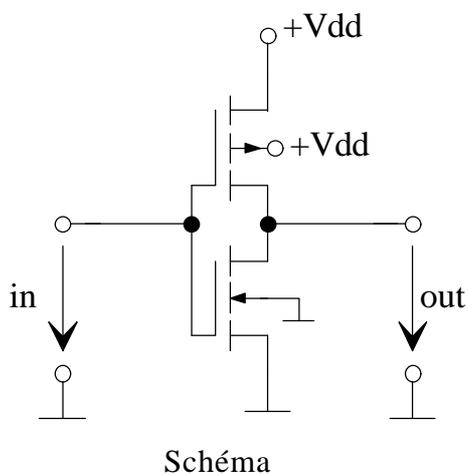


Fig. 4.7

5. CIRCUITS DE BASE

A titre de rappel, quelques circuits fondamentaux utilisés en technologie CMOS sont décrit brièvement ci-dessous.

5.1 Inverseur



Remarques :

- Il n'y a pas de courant statique (l'un des deux transistor est toujours bloqué).
- Il n'y a pas de perte de tension (la sortie est à + Vdd ou à 0V).
- La tension de seuil ($U_{in} = U_{out}$) se calcule avec le modèle du paragraphe 4.1.1 et vaut:

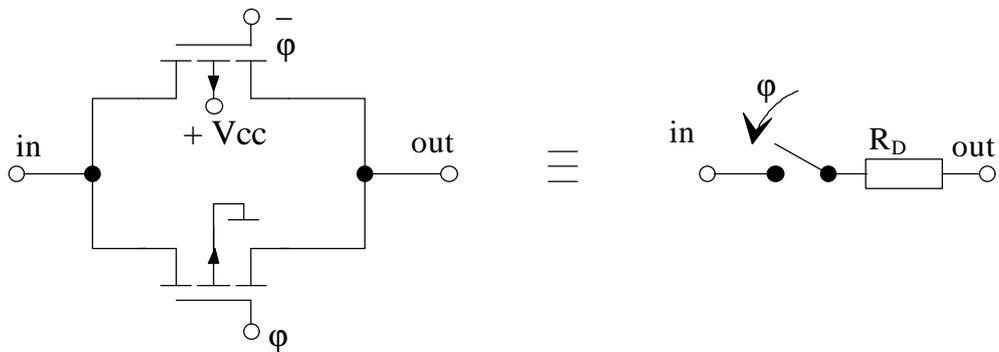
$$U_s = \frac{V_{dd} - V_{Tp} + k \cdot V_{Tn}}{1 + k}$$

$$\text{avec } k = \sqrt{\frac{\beta_n \eta_p}{\beta_p \eta_n}}$$

(les indices n et p se rapportent aux n et p MOS)

Si les deux transistors sont identiques, on a $U_s = V_{dd}/2$

5.2 *Porte de transmission*



Schéma

Schéma équivalent

Fonctionnement :

Lorsque $\phi = 1$, les deux MOS conduisent donc la porte conduit

Lorsque $\phi = 0$, les deux MOS bloquent donc la porte ne conduit pas

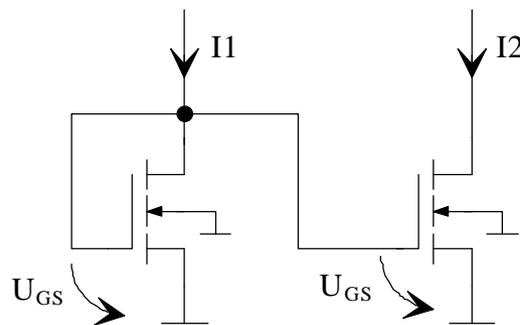
Remarques :

- La résistance R_D est non-linéaire
- Le nMOS transmet bien les tensions proches de 0 V
- Le pMOS transmet bien les tensions proches de Vdd

Utilisation :

Cet montage peut être utilisé comme interrupteur pour des fonctions logiques du type « logique à relais » ou comme interrupteur dans les circuits à capacités commutées.

5.3 *Miroir de courant*

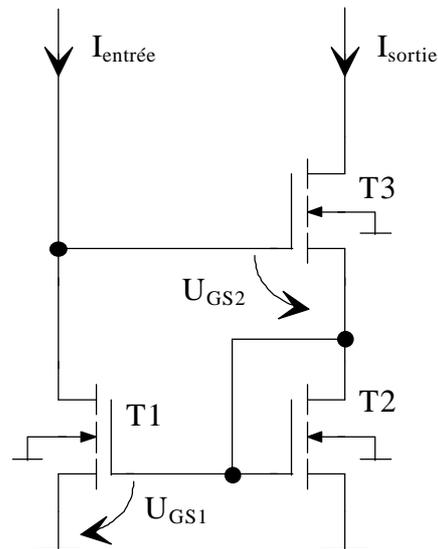


Fonctionnement :

On impose le courant I_1 de façon externe ceci a pour effet de fixer la tension U_{GS} des deux MOS. Si les deux transistors sont identiques, le courant I_2 est identique au courant I_1 .

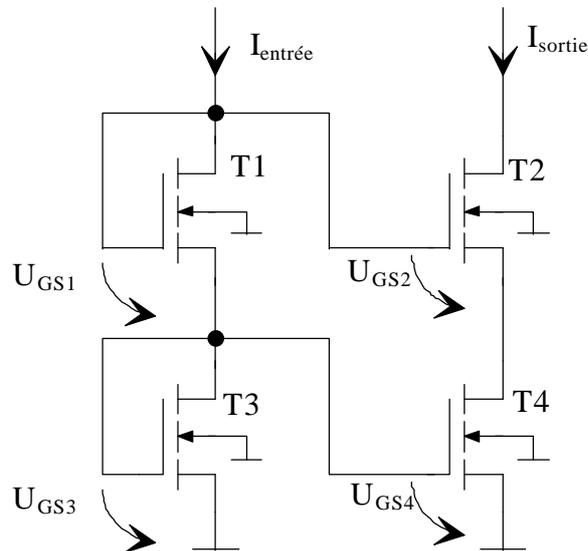
Remarques :

- Le rapport I_1/I_2 peut être modifié en utilisant des transistors de taille différente ou en utilisant une combinaison (mise en parallèle ou série) de transistors.
- A cause de l'effet Early, les courants ne sont dans le même rapport que si les tensions drains-sources sont égales. Pour diminuer l'éventuelle différence entre les deux courants, on utilise des sources de courant Wilson ou cascode.

5.4 *Source de courant Wilson*Fonctionnement :

Les transistors T1, T2 et T3 sont connectés de manière à présenter une contre-réaction. Lorsque l'on applique un courant à l'entrée, le transistor T3 conduit et une tension U_{GS1} apparaît aux bornes de T1 et T2. Lorsque l'on cherche à augmenter de façon externe le courant de sortie, la tension U_{GS1} augmente, ce qui a pour effet de baisser le potentiel de grille de T3 qui conduit moins et stabilise ainsi le courant de sortie. Le calcul à l'aide du modèle décrit au paragraphe 3.4.2 permet de montrer que l'impédance de sortie de cette source de courant est nettement plus élevée (facteur mille environ) que celle du simple miroir.

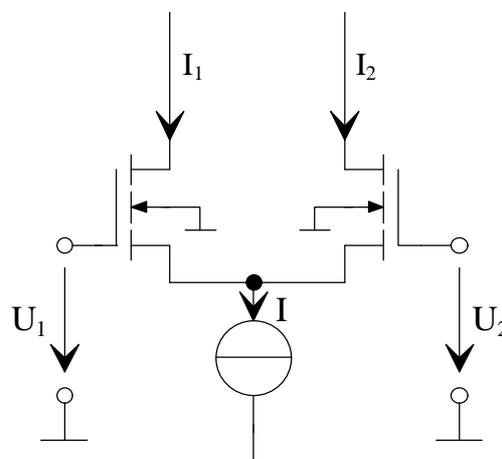
5.5 *Source de courant cascode*



Fonctionnement :

Le courant d'entrée est imposé, donc le potentiel de drain de T4 ne dépend que des tensions U_{GS1} , U_{GS2} et U_{GS3} . Comme ces tensions dépendent principalement du courant d'entrée, le potentiel de drain de T4 reste constant ainsi que le courant qui le traverse. Le calcul à l'aide du modèle décrit au paragraphe 3.4.2 permet également de montrer que l'impédance de sortie de cette source de courant est nettement plus élevée (facteur mille environ) que celle du simple miroir.

5.6 *Paire différentielle*



Fonctionnement :

Cet étage est constitué de deux transistors identiques qui fonctionnent en aiguillage de courant.

- Lorsque $U_1 = U_2$ on a $I_1 = I_2 = I/2$
- Lorsque U_1 augmente, le courant I_1 augmente également alors que I_2 diminue
- Inversement, lorsque U_2 augmente, le courant I_1 diminue et I_2 augmente

5.7 *OTA (Operational Transconductance Amplifier)*

Ce circuit se compose d'une paire différentielle avec sa source de courant, de deux miroirs de courants utilisés comme charge et d'un miroir de courant permettant de doubler le gain. La sortie du montage s'effectue en courant (impédance de sortie de l'ordre de quelques mégohms). En faisant suivre cet étage par un amplificateur à basse impédance, on réalise un amplificateur opérationnel. En technologie CMOS, ceci n'est que très peu utilisé, en effet, on préfère une structure à capacités commutées qui présente l'avantage de dissiper très peu de puissance.

Remarque :

- La figure ci-dessous est un exemple d'OTA, différentes variantes sont, bien entendu, réalisables.
- Les caractéristiques de ce circuit dépendent évidemment du dimensionnement des transistors ainsi que de la technologie employée.

a) Mise en série de x MOS

$$\beta = \frac{\beta_1}{x}$$

$$g_m = \frac{g_{m1}}{\sqrt{x}}$$

$$g_{ds} = \frac{g_{ds1}}{x}$$

b) Mise en parallèle de x MOS

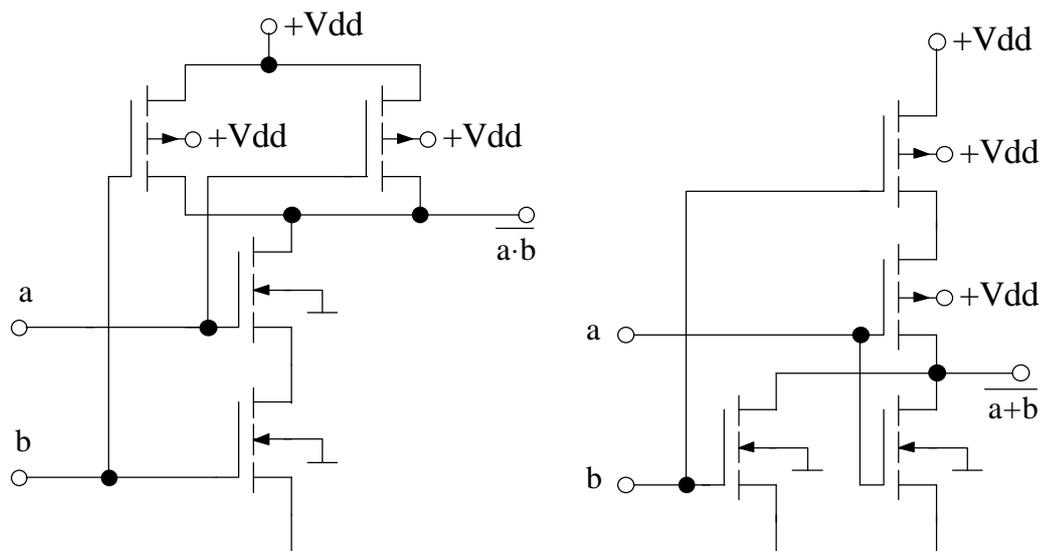
$$\beta = x \cdot \beta_1$$

$$g_m = x \cdot g_{m1}$$

$$g_{ds} = g_{ds1}$$

5.9 Portes NAND et NOR

En modifiant l'inverseur (paragraphe 3.1) on réalise une porte NAND ou une porte NOR à deux entrées. La porte NAND à entrées multiples est réalisée en ajoutant des pMOS en parallèle et des nMOS en série. De même, la porte NOR à entrées multiples est réalisée en ajoutant des nMOS en parallèle et des pMOS en série. Cette structure nécessite m paires de MOS pour une porte à m entrées.

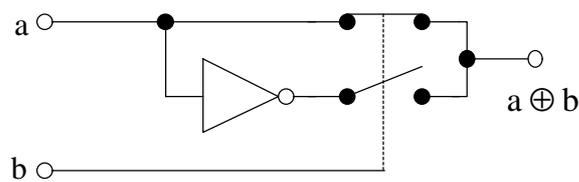


porte NAND

porte NOR

5.10 *Porte OU-EXCLUSIF*

En technologie CMOS, la porte de transmission joue un rôle important dans la synthèse des circuits. La porte OU-EXCLUSIF décrit ci-dessous en est un exemple.

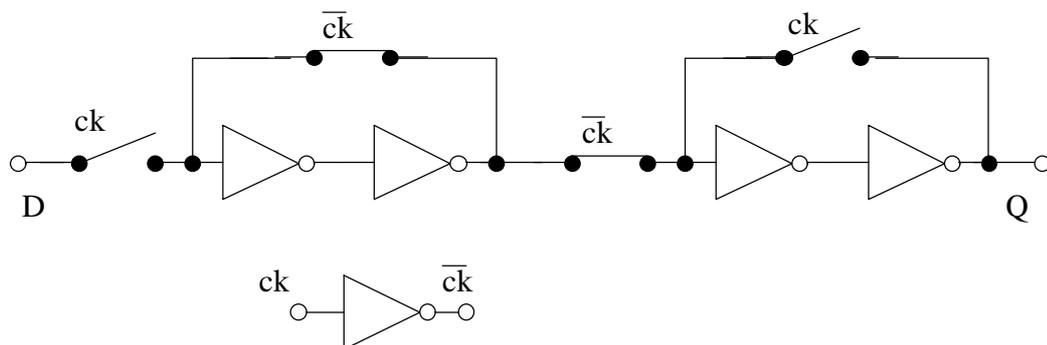


5.11 *Bascule D*

La bascule D est également un exemple d'utilisation de la porte de transmission. Plusieurs variantes, faisant intervenir des portes NAND et NOR à la place des inverseurs, sont possibles pour réaliser l'initialisation de la bascule.

Fonctionnement :

Chaque paire d'inverseur, avec son interrupteur associé, joue le rôle de mémoire élémentaire. Le signal présenté en D se propage donc dans la structure au rythme du signal d'horloge ck.



5.12 *Notion de cellule*

Lors de la conception de circuits complexes on utilise souvent plusieurs fois les mêmes circuits de base. Il est donc intéressant de ne dessiner qu'une fois ce circuit et de le dupliquer à l'aide de l'outil de CAD intervenant lors de la simulation ou lors de la réalisation du masque. On parle alors de cellule (à ne pas confondre avec la cellule de base « *gate-array* » !).

Dans le cas de circuits « *gate-array* », le fondeur propose généralement une bibliothèque de cellules disponibles tant pour la simulation que pour le dessin des masques.

Lors du développement de telles cellules, il convient d'être attentif à leur interconnexion (mise en cascade le plus souvent) en plaçant de façon judicieuse les entrées, les sorties et les alimentations

